

Best Available Copy

Family List

1 family member for:

JP11326951

Derived from 1 application.

**1 PRODUCTION OF ELECTROOPTICAL DEVICE AND ELECTROOPTICAL
DEVICE**

Publication Info: JP11326951 A - 1999-11-26

Data supplied from the *esp@cenet* database - Worldwide

06385305 **Image available**

PRODUCTION OF ELECTROOPTICAL DEVICE AND ELECTROOPTICAL DEVICE

PUB. NO.: 11-326951 [JP 11326951 A]

PUBLISHED: November 26, 1999 (19991126)

INVENTOR(s): MATSUEDA YOJIRO

APPLICANT(s): SEIKO EPSON CORP

APPL. NO.: 10-138906 [JP 98138906]

FILED: May 20, 1998 (19980520)

INTL. CLASS: G02F-001/136; G02F-001/1345

ABSTRACT

PROBLEM TO BE SOLVED: To produce an electrooptical device incorporated with a driving circuit by using a stepper by performing projection exposure so that plural picture element parts may have a prescribed pitch in a first direction and plural first- direction driving circuit cells may have a second pitch smaller than the first pitch with respect to each block area.

SOLUTION: At the time of reduction projection exposure for each block area, exposure is so performed that plural driver circuit cells provided for respective signal lines through a glass mask 330 may have a prescribed pitch smaller than the picture element pitch in the X direction with respect to a signal line driving circuit. With respect to a scanning line driving circuit, exposure is so performed that plural driver circuit cells provided for respective signal lines through the glass mask 330 may have a prescribed pitch smaller than the picture element pitch in the Y direction. At each time of completion of exposure in one block area, step movement is performed by a stepper 300, and a mother substrate 100' is moved relatively to a light source 310 for exposure to repeatedly expose another block area to light.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平11-326951

(43) 公開日 平成11年(1999)11月26日

(51) Int.Cl. 500
G 02 F 1/198 1/1945

F I
G O 2 F 1/136 6.00
1/1345

審査請求 本請求 請求項の第13 OL (全 13 頁)

(21) 出廠番號： 製造番號10-138906

(22) 出願日 平成10年(1998)5月29日

(7) 出國人 000002345

セイヨーエブンツキ会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 松枝 博二郎
長野県飯田市大和3丁目3番6号 セイコ

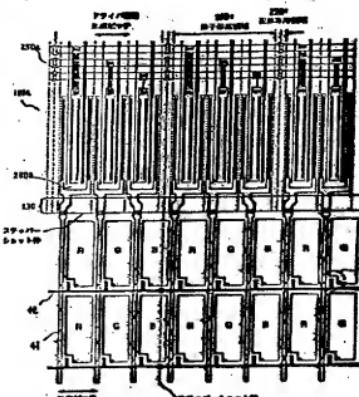
(74)代理人 金理士 鈐森 嘉三郎 (外2名)

(54) [登録の名前] 堀江光樹社長の開業古井及び堀江光樹甚

(5) [兩款]

【課題】ステッパーを用いて大型且つ高詳細のドライバ内蔵型のアクティピマトリクス駆動方式の液晶パネル・筐の電気光学装置を製造する。

【解決手段】 投影露光工程では、フォトレジストが塗布された領域を複数分割してなる所定ブロック領域毎に、複数のドライバ回路セルが画面ピッチよりも小さいピッチを持つように所定パターンのマスクを介して縮小又は等倍の投影露光する。一のブロック領域を露光した後に他のブロック領域を露光すべく基板を順次移動させる。



【特許請求の範囲】

【請求項 1】 基板上に、第1方向及び該第1方向に交わる第2方向にマトリクス状に配列されている複数の画素部と、該複数の画素部の前記第2方向の配列に対応して前記画素部の周囲に夫々設けられており前記複数の画素部を駆動するための複数の第1方向駆動回路セルとを備えた電気光学装置を製造する電気光学装置の製造方法であって、

前記基板上にバーニングされる薄膜を形成する薄膜形成工程と、

該薄膜上にフォトレジストを形成するフォトレジスト形成工程と、

該フォトレジストが露布された領域を少なくとも前記第1方向に複数分割してなる所定ブロック領域毎に、前記複数の画素部が前記第1方向に所定第1ピッチを持つように且つ前記複数の第1方向駆動回路セルが前記第1方向に所定第1ピッチよりも小さい所定第2ピッチを持つように所定パターンのマスクを介して露光用光源により投影曝光する投影曝光工程と、

該投影露出工程により一のブロック領域を露出した時に他のブロック領域を露光すべく前記基板を前記露光用光源に対して相対的に順次移動させる移動工程と、

該露光されたフォトレジストを用いて前記薄膜をバーニングすることにより前記複数の画素部及び前記複数の第1方向駆動回路セルを夫々構成する様子の离子を少なくとも部分的に形成する离子形成工程とを含むことを特徴とする電気光学装置の製造方法。

【請求項 2】 前記電気光学装置は、前記電子子に接続される記憶を更に印字してあり、

前記投影露出工程及び移動工程において、前記記憶が前記接するブロック領域の境界を跨ぐ組合せ部分を含むように露光及び移動し、

前記電子子形成工程において、前記組合せ部分を含む前記電線を更に形成することを特徴とする請求項1に記載の電気光学装置の製造方法。

【請求項 3】 前記投影露出工程及び移動工程において、前記境界に前記電子子を形成しないように露光及び移動することを特徴とする請求項2に記載の電気光学装置の製造方法。

【請求項 4】 前記投影露出工程及び移動工程において、前記組合せ部分を、前記記憶のうち前記組合せ部分を除く部分よりも前記境界に沿った方向に幅広に形成するよう露光及び移動することを特徴とする請求項2又は3に記載の電気光学装置の製造方法。

【請求項 5】 前記電気光学装置は、前記基板上に、前記複数の画素部の前記第1方向の配列に対応して前記画面表示領域の周囲に夫々設けられており前記複数の画素部を駆動するための複数の第2方向駆動回路セルを更に印字しており、

前記投影露出工程において、前記フォトレジストが形成

された領域を前記前記第2方向にも複数分割してなる所定ブロック領域毎に、前記複数の画素部が前記第2方向に所定第3ピッチを持つように且つ前記複数の第2方向駆動回路セルが前記第2方向に前記所定第3ピッチよりも小さい所定第4ピッチを持つように曝光することを特徴とする請求項1から4のいずれか一項に記載の電気光学装置の製造方法。

【請求項 6】 前記投影露出工程及び移動工程において、前記画面表示領域内外の境界に、前記複数の画素部と前記複数の第1方向駆動回路セルとを相互に夫々接続する複数の記憶を含む記憶ピッチ変換部を形成するようにより露光及び移動し、

前記電子子形成工程において、前記記憶ピッチ変換部を更に形成することを特徴とする請求項1から5のいずれか一項に記載の電気光学装置の製造方法。

【請求項 7】 前記投影露出工程により、暗い投影影は常に等倍投影されることを特徴とする請求項1から6のいずれか一項に記載の電気光学装置の製造方法。

【請求項 8】 前記基板がマザーベース板上に被積成形をかり、前記投影露出工程及び移動工程において、前記複数の各々を識別するための識別パターンを前記基板の各々に印字するようにより露光及び移動し、

前記電子子形成工程において、前記識別パターンを更に印字することを特徴とする請求項1から7のいずれか一項に記載の電気光学装置の製造方法。

【請求項 9】 前記電子子形成工程において、前記電子子として薄膜トランジスタを形成することを特徴とする請求項1から8のいずれか一項に記載の電気光学装置の製造方法。

【請求項 10】 請求項1から9のいずれか一項に記載の電気光学装置の製造方法により製造されることを特徴とする電気光学装置。

【請求項 11】 前記複数の画素部は画面スイッティング用の薄膜トランジスタと南京錠部とを夫々含み、前記基板には前記複数の第1方向駆動回路セルから信号出力用のドライバ回路が組成されていることを特徴とする請求項10に記載の電気光学装置。

【請求項 12】 前記複数の第1方向駆動回路セルは、S-C-DAC (Switched Capacitor - Digital to Analog Converter) 回路を夫々含み、外部から入力されるデジタル画像信号を該S-C-DACによりアナログ画面信号に変換して前記複数の画素部に供給することを特徴とする請求項10又は11に記載の電気光学装置。

【請求項 13】 前記第1方向駆動回路セルは、前記画面表示領域の対向する二邊に交叉して前記画面表示領域の周間に設けられており、該二邊の一方の周間に、前記複数の画素部の前記第2方向の配列のうち奇数番目の配列に対応する前記第1方向駆動回路セルが取り付けられており、前記二邊の他方の周間に、前記複数の

素部の前記第2方向の配列のうち偶数番目の配列に対応する前記第1方向駆動回路セルが設けられていることを特徴とする請求項10から12のいずれか一項に記載の電気光学装置。』

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶パネル等の電気光学装置を製造する製造方法及び該電気光学装置の技術分野に属し、特に、投影光光学装置（以下、適宜“ステッパー”と称す）を用いて大型且つ高詳細なドライバ内蔵型（画面部とドライバ回路とが同一基板に作り込まれている）のアクティマトリクス駆動方式の液晶パネル等の電気光学装置を製造するのに好適な電気光学装置の製造方法の技術分野及びこのように製造される電気光学装置の技術分野に属する。

【0002】

【従来の技術】 大規模集積回路（LSI）等の半導体装置を製造する方法の技術分野では、一枚の大型ウエーハ上に同一構成の半導体装置をマトリクス状に多数製造する技術が一般的である。この製造中に、半導体、金属膜等の各種薄膜をパターニングするためにフロントジグストをマスクを介して露光する露光工程が行われるが、大量生産の際には、微細化及び量産に適した縮小投影乾式が通常行われる。即ち、ステッパーと呼ばれる縮小投影乾式により、拡大寸法のマスク（レチクル）の微小像をウエーハ上に投影結像し、1チップ×数チップ分の露光を同時にを行い、ウエーハをステッピング移動しながら、この露光を繰り返して行うことによりウエーハ全面を露光する。

【0003】 従来、多数の背面上トランジスタ（以下、適宜“TFT”と称す）を含んで構成されるドライバ内蔵型のTFTアクティマトリクス駆動方式の液晶パネル等の電気光学装置を製造する場合にも、液晶パネル等が、対角1インチ程度の小型なものであれば、上述の半導体装置を製造する場合と同様に、ステッパーによる1回の露光によりマザーベース板において1個以上の液晶パネル等を構成することになる基板部分を同時に露光できる。従って、半導体装置の場合と同様に微細化を図ることができ、また、1枚の大型のマザーベース板から複数の液晶パネル等の大容量生産を効率良く行うこともできる。この場合には特に、ドライバ部を構成する各駆動回路セル（即ち、駆動回路における信号線を駆動する一単位）に要る配線長さや画面表示領域の各画素部に至る配線長さの差により、各駆動回路セルから出力される駆動電圧の差が発生しないように、更に画面表示領域の周囲の長い配線にドライバ部がコンパクトに収まるように、画面表示領域における画面ピッチとドライバ部における駆動回路セルのピッチとは同一とされる。そして、画面表示領域に配列された駆動の信号線各々の一端には、該信号線を駆動するための駆動回路セルが規則正しく接続される。

【0004】 このようなステッパーによる投影乾式、投影するために、余り大きな領域を同時に露光する目的には適さない。即ち、同時に露光する領域を大きくするに連れて、露光のスループットが低下し、露光領域内の各点における結像状態や位置合わせも困難となり、露光精度も低下してしまう。このため、実際には例えば対角10インチ程度の大型の基板上に画面部とドライバ回路とを有する液晶パネル等を製造する際にステッパーを用いることはない。

【0005】 他方で、ステッパーを用いた一技術として、大型回路を製造する場合には、1回の露光で大型回路となる領域の一部のみを露光し、複数回の露光により一つの大型回路となる全領域を露光する技術がある。この技術では特に、別々に露光される領域間の接界（以下、“露光境界”と称す）において、記録や電子線が寸断されないように配慮する必要がある。このため露光境界では、両方の露光領域を直角（即ち、直角遮光する）ことにより、記録や電子線の接界部分を形成するようしている。なお、このような大型回路の場合には、小投影だけなく、等倍投影も用いられることが多い。

【0006】 従って、この技術を利用して液晶パネルを製造する場合にも、当該液晶パネルが大型であってもドライバ内蔵型でなければ、上述のステッパーを用いた技術により、配線等について直角デジタルルールの下で、多くの縦目部分を含むようにしつつ該液晶パネルを構成できる。即ち、多段液晶パネルの基板上に複数の縦目を含む周辺回路（ドライバ部）を形成する必要が無いため、縦目部分が多く存在しても直角デジタルルールが守り難くても、後に外付けドライバ回路をTAB（テープ・カーメトイド・ボンディング）等により接続すれば、ステッパーを用いて実際上問題の少ない大型の液晶パネルを製造できる。

【0007】

【発明が解決しようとする課題】 しかしながら、ドライバ内蔵型の液晶パネル等の電気光学装置の場合は、基板上における画面表示領域の周囲に複数の回路縦目を含む場合で構成されるドライバ部を形成する必要があるため、液晶パネルを大型化する上、前述のステッパーを用いての製造が困難となってしまう。けれども、ステッパーを用いた1回の露光により、大型の液晶パネルを1つ構成する基板部分に対応する縦目全長を露光できないため、前述の如き縦目部分が複数存在せざる欠点ないが、このような縦目部分を含むように、多段の複数の縦回路を構成することは実際上困難だからである。又に、アナログ信号を扱うTFT、抵抗、電極等の回路縦目を含む比較的複雑な駆動回路を作成する場合、縦目部分に付ける薄膜部分のバランスがこれらの回路縦目の特性のバランスとなるため、既て、このような大型のドライバ内蔵型の液晶パネルを構成にステッパーを用いて露光すれば、極めて性能の不安定を示す可能性に欠けるもの

となってしまうという問題点がある。

【0008】他方で、ステッパーを使用することなく、大型のドライバ内蔵型の液晶パネル等をアライナー等を使用して1回の露光により製造する場合には、例えば、数μm程度が微細化の実践的な意味での限界となってしまい、ステッパーを用いて比較的低成本で実現可能な1μm程度あるいはそれ以下の微細化を行うことができない。従って、TFT等の電子部品や配線などの微細化により、電子部品の高密度化、配線の低容積化、低消費電力化、高解像度化、基板全体の小型薄型化などを図ることができないという問題点がある。

【0009】本発明は上述した問題点に鑑みなされたものであり、駆動回路を内蔵すると共に高性能且つ大型の電気光学装置をステッパーを使用して製造可能である電気光学装置の製造方法及びこの方法により製造される電気光学装置を提供することを課題とする。

【0010】

【課題を解決するための手段】本発明の電気光学装置の製造方法は上記課題を解決するために、基板上に、第1方向及び第2方向に交わる第2方向にトライクス状に配列されてなる複数の画素部と、該複数の画素部の前面第2方向の配列に対応して前記画素部の周間に夫々設けられており前記複数の画素部を駆動するための複数の第1方向駆動回路セルとを備えた電気光学装置を製造する電気光学装置の製造方法であって、前記基板上にバーナーイングされる薄膜を形成する薄膜形成工程と、該薄膜上にフォトレジストを形成するフォトレジスト形成工程と、該フォトレジストが形成された領域を少なくとも前記第1方向に複数分割してなる所定ブロック領域毎に、前記複数の画素部が前記第1方向に所定第1ビッチを有つように且つ前記複数の第1方向駆動回路セルが前記第1方向に所定第1ビッチよりも小さい所定第2ビッチを持つように所定パターンのマスクを介して露光用光源により投影露光する投影露光工程と、該投影露光工程により第一のブロック領域を露光した後に他のブロック領域を露光すべく前記基板を前記露光用光源に対して相対的に順次移動させる移動工程と、該露光されたフォトレジストを用いて前記薄膜をバーナーイングすることにより前記複数の画素部及び前記複数の第1方向駆動回路セルを夫々構成する複数の電子部品を少なくとも部分的に形成する電子部品形成工程とを含むことを特徴とする。

【0011】上記本発明によれば、まず、薄膜形成工程において、基板上にバーナーイングされる薄膜が形成され、フォトレジスト形成工程において、該薄膜上にフォトレジストが形成される。ここで、投影露光工程においては、露光領域は、少なくとも第1方向に複数分割されてなる所定ブロック領域に分められる。そして、このブロック領域毎に、複数の画素部が第1方向に所定第1ビッチを持つように且つ複数の第1方向駆動回路セルが第1方向に所定第1ビッチよりも小さい所定第2ビッ

チを持つように、所定パターンのマスクを介して露光用光源による投影露光が行われる。ここで、投影露光工程により第一のブロック領域が露光される度に、移動工程により、露光用光源に対して基板が相対的に順次移動され、他のブロック領域が設けられ露光される。そして、電子部品形成工程において、エッチング等により、該露光されたフォトレジストを用いて荷重がバーナーイングされ、複数の画素部及び複数の第1方向駆動回路セルを夫々構成する複数の電子部品を、少なくとも部分的に形成される。

【0012】従つて、複数の第1方向駆動回路セルは、各ブロック領域において画素ビッチたる第1ビッチよりも小さい第2ビッチで形成されるため、各ブロック領域の境界付近には、第1方向駆動回路セルを形成しない領域が発生することになる。このため、第1方向駆動回路セルを構成するTFT、電極、抵抗器等の回路電子部、ブロック領域の境界、即ち露光範囲を向むきよう形状形成する必要が無くなり、これらの回路電子部に幅面部分を含むせないで済む。この結果、幅面部分における薄膜部分のバラツキがこれらの回路電子部の特性のバラツキとなって現われる事態を未然に防止でき、性能が安定しており、精度の高い第1方向駆動回路セルを形成できる。

【0013】これに加えて、ブロック領域側に反応を行うので、例えば、対角10インチやそれ以上の大型電気光学装置であっても、ステッパーを用いて当該投影露光を行うことが可能となる。よって、TFT等の電子部品や配線などの微細化により、電子部品の高密度化、配線の低容積化、低消費電力化、高解像度化、基板全体の小型薄型化などを図らうことができる。

【0014】以上の結果、本発明によれば、ステッパー技術を利用して、複数の第1方向駆動回路セルから構成される駆動回路を内蔵すると共に高性能且つ大型の電気光学装置を比較的効率良く且つコストで製造できる。

【0015】本発明の電気光学装置の製造方法は、さらに、前記電気光学装置が、前記電子部に形成される配線を常に備えており、前記投影露光工程及び移動工程において、前記配線が相間接するブロック領域の境界を跨ぐ幅面部分を含むように倍長及び移動し、前記電子部形成工程において、前記幅面部分を含む前記配線を又に形成することを特徴とする。

【0016】本発明のかかる範囲によれば、相図であるブロック領域の境界を跨ぐ幅面部分を含む配線が形成される。ここで、配線は基本的に電気信号を伝達するという単純機能を持つので、断口やリーキーをさせなければ、電気界に形成される幅面部分における薄膜部分のバラツキによる抵抗や容量変化が問題となることは実用上最も大きい。そして、この配線により、該区域のブロック領域に跨る複数の駆動回路セル間や面積範囲を正確的接続ができるので、当該電気光学装置を一つの整体として機能させられる。

【0017】本発明の電気光学装置の製造方法は、さら

に、前記投影露光工程及び移動工程において、前記境界に前記電子を形成しないように露光及び移動することを特徴とする。

【0018】本発明のかかる構成によれば、相隣接するブロック領域の境界には、駆動回路セルや画素部を構成する電子は形成されない。このため、電子に垂直部分を含ませないで済むので、縦目部分における薄膜部分のバランシングがこれらの電子の特性のバランスとなって現われる事象を確実に未然に防止できる。

【0019】本発明の電気光学装置の製造方法は、さらに、前記投影露光工程及びU移動工程において、前記縦目部分を、前記縦線のうち前記縦目部分を除く部分よりも前記境界に沿った方向に幅広に形成するように露光及び移動することを特徴とする。

【0020】本発明のかかる構成によれば、縦目部分は、境界に沿った方向に幅広に形成される。従って、ブロック領域に対する露光が境界に沿って多少ずれても、この構成の縦目部分の広さに応じて縦目部分における電気的接続をとることができる。尚、前述のように露光境界に直交する方向については、從来通りに、両方の複数領域を重ねる（即ち、2重露光する）ことにより、配線や電子等の縦目部分を形成する。従って、ステッパーにおける露光位置精度が多少低くとも、配線の電気的接続

が良好にとれている限りは問題は生じないので、製造上有利である。

【0021】本発明の電気光学装置の製造方法は、さらに、前記複数の画素部の前記第1方向の配列に対応して前記画面表示領域の周囲に夫々設けられており、前記基板上には前記複数の画素部を駆動するための複数の第2方向駆動回路セルを更に備えており、前記投影露光工程において、前記フォトレジストが形成された領域を前記前記第2方向にも複数分割してある所定ブロック領域に、前記複数の画素部が前記第2方向に所定第3ビッチを持つように且つ前記複数の第2方向駆動回路セルが前記第2方向に前記所定第3ビッチよりも小さい所定第4ビッチを持つように専用することを特徴とする。

【0022】本発明のかかる構成によれば、投影露光工程においては、露光領域は、第1方向に加えて第2方向にも複数分割されてある所定ブロック領域に、各ブロック領域が第2方向に所定第3ビッチを持つように且つ複数の第2方向駆動回路セルが第2方向に所定第3ビッチよりも小さい所定第4ビッチを持つように、所定パターンのマスクを介して露光用光源による投影露光が行われる。

【0023】従って、複数の第2方向駆動回路セルは、各ブロック領域において画面ビッチたる第3ビッチよりも小さい第4ビッチで形成されるため、各ブロック領域の境界付近には、第2方向駆動回路セルを形成しない領域が発生することになる。このため、第2方向駆動回路セルを構成するTFT、寄生、抵抗器等の回路電子に

目部分を含ませないで済む。この結果、縦目部分における薄膜部分のバランシングがこれらの回路電子の特性のバランスとなって現われる事象を未然に防止でき、性能が決定しており信頼性の高い第2方向駆動回路セルを形成できる。

【0024】本発明の電気光学装置の製造方法は、さらに、前記投影露光工程及び移動工程において、前記画面表示領域内外の境界に、前記複数の画素部と前記複数の第1方向駆動回路セルとを相互に夫々接続する複数の互換性を含む配線ビッチ交換部を形成するように露光及び移動し、前記電子形成工程において、前記配線ビッチ交換部を更に形成することを特徴とする。

【0025】本発明のかかる構成によれば、画面表示領域内外の境界に、複数の画素部と複数の第1方向駆動回路セルとを相互に夫々接続する複数の配線を含む配線ビッチ交換部が形成される。従って、画線ビッチと第1方向駆動回路セルのビッチとが相対していい。両者の電気的接続を配線ビッチ交換部によりとることができる。

【0026】本発明の電気光学装置の製造方法は、さらに前記投影露光工程により、端子部または等価部が含まれることを特徴とする本発明のかかる構成によれば、所定のスクエアに対応した端子または等倍の投射を口元に行なうことができる。

【0027】本発明の電気光学装置の製造方法は、さらに前記基板がマザーベース板上に積み形成されており、前記投影露光工程及び移動工程において、前記基板の各々を識別するための識別パターンを前記基板の各々に形成するように露光及び移動し、前記電子形成工程において、前記識別パターンを更に形成することを特徴とする。

【0028】本発明のかかる構成によれば、マザーベース板上で複数の基板が順次充填されると共に、各々の基板には識別パターンが形成されるので、一枚の大まきマザーベース板を用いてステッパーにより当該電気光学装置を大量生産する際に役立てる。

【0029】本発明の電気光学装置の製造方法は、さらに前記電子形成工程において、前記電子子として回転トランジスタを形成することを特徴とする。

【0030】本発明のかかる構成によれば、第1方向駆動回路セルや画素部の電子として、回転トランジスタが形成される。従って、基板上に同じ駆動構成を有する回転トランジスタを用いて駆動回路及び画素部を構成できるので、製造上有利である。

【0031】本発明の電気光学装置の製造方法は、上述の電気光学装置の製造方法により構成されることを特徴とする。

【0032】本発明のかかる構成によれば、上述した本発明の製造方法により構造されたため、駆動回路を内蔵した電気光学装置において、大型化を繰りつづけることができる事が可能となる。

【0033】本発明の電気光学装置は、さらに前記電

の面素部は面素スイッチング用の薄膜トランジスタを夫々含み、前記基板上に前記複数の第1方向駆動回路セルから信号線駆動用のドライバ回路が構成されていることを特徴とする。

【0034】本発明のかかる構成によれば、信号線駆動用の駆動回路を面素部と同一基板上に形成したアクティブラティクス駆動方式の液晶装置において、大型化を囲りつつ性能を高めることができるとなる。

【0035】本発明のかかる電気光学装置は、さらに、前記複数の第1方向駆動回路セルは、SC-DAC (Switched Capacitor - Digital to Analog Converter: スイッチ制御コンデンサ型D/Aコンバータ) 回路を夫々含み、外部から入力されるデジタル面像信号を該SC-DACによりアナログ面像信号に変換して前記複数の面素部に供給することを特徴とする。

【0036】本発明のかかる構成によれば、SC-DA C回路を夫々含む第1方向駆動回路セルからなる駆動回路を内蔵した電気光学装置において、大型化を囲りつつ性能を高めることができるとなる。特に、SC-DAC回路を構成する、例えば容 C_1 やTFT等の素子は、電気光学における緯目部分を含まないため、緯目部分のパラッキに影響されない。この結果、デジタル面像信号を高精度でアナログ面像信号に変換する、このアナログ面像信号を用いて面素部を駆動することにより、高品位の階調表示等を実現できる。

【0037】本発明の電気光学装置は、さらに、前記第1方向駆動回路セルは、前記画面表示領域の対向する二辺に夫々沿って前記画面表示領域の周間に設けられており、該二辺の一方向の周間に、前記複数の面素部の前記第2方向の配列のうち奇数番目の配列に対応する前記第1方向駆動回路セルが設けられており、前記二辺の他の周間に、前記複数の面素部の前記第2方向の配列のうち偶数番目の配列に対応する前記第1方向駆動回路セルが設けられていることを特徴とする。

【0038】本発明のかかる構成によれば、第1方向駆動回路セルは、例えば、前面表示領域の上側の周辺領域及び下側の周辺領域に半分ずつ設けられるので、まとめて一方の辺に沿って設ける場合と比較して第1方向駆動回路セルの形成ビッチを約半分にすることができ、その余裕をもって当該第1方向駆動回路セルを形成できると共に、前面表示領域の周辺領域をバランス良く有効利用することも可能となる。

【0039】本発明のこののような作用及び他の利得は次に説明する実施の形態から明らかにする。

【0040】

【0041】(液晶装置の全体構成) 首先、本発明の製造方法により製造される電気光学装置の一例として、TFTアクティブラティクス駆動型且つドライバ内蔵型

液晶装置の全体構成について図1から図3を参照して説明する。ここに、図1は、液晶装置の回路構成を示すブロック図であり、図2は、液晶装置の平面図であり、図3は、図2のH-H'断面図である。

【0042】図1において、液晶装置を構成するTFTアレイ基板100上の中央に位置する画面表示領域には、X方向に配列された複数の信号線41と、Y方向に配列された複数の走査線42と、画面スイッチング層のTFT 3.0及び走査電極4.0を夫々含むマトリクス状に配設された面素部とが設けられている。画面表示領域の周囲には、信号線駆動回路101及び走査線駆動回路1.0-2が設けられている。

【0043】信号線駆動回路101は、各信号線41に対応して夫々設けられた複数の第1方向駆動回路セルの一例として、SC-DAC回路からなる複数のドライバ回路セル2.0を備えており、これらのドライバ回路セル2.0に転送信号を順次出力するシフトレジ斯特回路1.0を更に備えて構成されている。ドライバ回路セル2.0は、例え、8ビット、8ビット等のデジタル面像信号が入力されると、シフトレジ斯特回路1.0から転送信号のタイミングに応じてラッシュしたSC-DAC回路により各デジタル面像信号のビットが示す値に対応するアナログ面像信号を各信号線41に供給する。尚、このようなSC-DAC回路は、並接設された複数の空虚をTFT等のスイッチにより選択的に信号線41に接続することにより基準電圧を用いたチャージキャリアまたはチャージポンプによりデジタル面像信号のビット値に応じた電圧を生成するよう構成された公知のD/A回路である。

【0044】他方、走査線駆動回路1.0-1は、走査信号を所定タイミングで走査線4.2に供給するように構成されている。

【0045】尚、後述のようにドライバ回路セル2.0のX方向のビッチは、所定ブロック領域間に面図ビッチよりも小さく設定されている。

【0046】図2及び図3において、TFTアレイ基板100の上には、液晶5.0を射入するためのシール材5.2がその辺に沿って設けられており、その内側に位置して、画面表示領域の範囲を規定する逆光性の周辺見切5.3が設けられている。TFTアレイ基板100上に設けるシール材5.2の外側の領域には、図1に示した信号線駆動回路1.0-1及び走査線駆動回路1.0-2が、実線端子、記録等と共に設けられている。尚、後述のように信号線駆動回路1.0-1を画面表示領域の上下に分割して設けてでもよい。

【0047】TFTアレイ基板100及び対向基板2.0間に、シール材5.2により液晶5.0が射入されている。また、対向基板2.0のコーナー部の少なくとも1箇所においては、TFTアレイ基板100と対向基板2.0との間で電気的導通をとるための導通部からなる低伝導

06が設けられている。

【0048】(液晶装置の製造方法) 次に以上のような全体構成を有する液晶装置の製造方法を図4から図7を参照して説明する。ここに、図4は、本実施の形態における製造方法の特徴的な工程である投影露光工程におけるステッパーによるガラスマスク上のセルの配置図であり、図5は、ステッパーにより図4のガラスマスクを用いた投影露光工程を示す概念図、図6は、図5のステッパーにより図4に対応してマザーベース板上に焼き付けられるセルの配置図である。また、図7(a)はマザーベース板から切り離した1個の液晶装置に対応する1個のTFTアレイ基板におけるセル配置図であり、図7(b)は、図7(a)のTFTアレイ基板から構成される液晶装置の平面図である。

【0049】以下に、本実施の形態における製造方法を順を追って説明する。

【0050】まず、薄膜形成工程では、ガラス基板、シリコン基板、石英基板等の公知の基板上に直接或いは必要に応じて下地膜としての絶縁膜を介して、画素部や駆動回路のTFT、電極、抵抗器等の回路素子や配線などに対応する所定パターンにパターニングすべき半導体膜、ポリシリコン膜、金属膜等の薄膜がCVD(Cheamical Vapor Deposition)等の公知技術により形成される。

【0051】その後、ファトレジスト塗布工程では、以上のように形成された薄膜上に、ポジ型又はネガ型の公知のカクテリゲートが塗布される。

【0052】ここで、本実施の形態では特に、細小投影露光工程において、ステッパーによる一回の露光(ステッペーション)で露光される露光領域は、X方向及びY方向に複数の所定ブロック領域に分かれている。このようなステッパーによる細小投影露光のためには、例えば、図4に示したセル配置を持つガラスマスク(レチカル)330が用意される。ガラスマスク330は、ソーダガラス、低膨胀ガラス、石英ガラス等の公知の材料からなり、その透光部331には、クロムなどの金属膜が形成されている。また、図4には、露光性能促進範囲が、円で示されている。

【0053】図4において、ガラスマスク330は、マザーベース板上で画素部を形成するためのブロック領域CGSOを、画素部を構成する回路電子、配線等に対応する所定パターンで露光するためのマスク領域CGSO'が設けられている。マスク領域CGSO'の上下には、マザーベース板上で信号線駆動回路を形成するためのブロック領域CXTL、CXTR、CXBL及びCXBRが、該信号線駆動回路を構成する回路電子、配線等に対応する所定パターンで露光するためのマスク領域CXTL'、CXTR'、CXBL'及びCXBR'が設けられている。マスク領域CGSO'の左右には、マザーベース板上で走査線駆動回路を形成するためのブロック領域C

YTL、CYTR、CYBL及UFCYBRを、走査線駆動回路を構成する回路電子、配線等に対応する所定パターンで露光するためのマスク領域CYTL'、CYTR'、CYBL'及UFCYBR'が設けられている。更に、マザーベース板に複数形成されたTFTアレイ基板の各々を該マザーベース板から切り離す時に各TFTアレイ基板から切り離されるマザーベース板の周辺部分において、各回のテストパターン、静電放電防止用ペイケルなどの付加的配線等を形成するためのブロック領域BT、BTL、BB、BR、BT、BTR、BTL、BBR、BBL、BTS、BTSR、BBSL及UBBSRを、該付加的配線等に対応する所定パターンで露光するためのマスク領域BT'、BL'、BB'、BR'、BT'、BT'、BT'、BTL'、BBR'、BBL'、BTSL'、BTSR'、BBSL'及UBBSR'が設けられている。又、露光時の位置合わせ用マークPRAMKが、ガラスマスク330の4角に近い光学性能保証範囲に4個設けられている。

【0054】以上のように構成されたガラスマスク330は、図5に示すようにステッパー300にセットされる。そして、ガラスマスク330にて、露光用光C310から発せられコリメータレンズ320により平行光とされた光が射入される。ステッパー300では、ガラスマスク330の露光パターンに応じた縮小版、將小版レンズ系340を介して、マザーベース板100'上に位相されたファトレジスト350の上に投影結合する。そして、特に上述した各組のブロック領域毎に露光(ステッペーション)を行ひ、マザーベース板100'をステップ移動しながら、この露光を繰り返して行うことによりマザーベース板100'上のファトレジスト全面を露光する。

【0055】本実施の形態では、図4に示したガラスマスク330及UFCYBLに示したステッパー300を用いて細小投影露光を行い、例えば図6に示すように、一枚のマザーベース板100'には8つのTFTアレイ基板100'が形成される。

【0056】更に、図7(a)に示すように、各TFTアレイ基板100'における画面後部領域か、4つのブロック領域CGSOに分離されており、4回のステッペーションにより露光される。また、信号線駆動回路が構成される領域は、4つのブロック領域CXTL、CXTR、CXBL及びCXBRに分離されており、4回のステッペーションにより露光される。更にまた、走査線駆動回路が形成される領域は、2つのブロック領域CYTL及UFCYBLに分離されており、2回のステッペーションにより露光される。そして、各ブロック領域の境界には、前述のように回路電子が形成されることなく配線のみが形成され、各ブロック領域の境界(即ち、露光界)における各配線の寸断を防止するために、各ブロック領域の境界は2重露光される。

【0057】尚、図7(b)に示した例では、走査線駆動回路102は、画面表示領域の左側にのみ形成されているが、特に信号線駆動回路101b、101b'は、画面表示領域の上下に分削して形成されている。より具体的には偶数番目の信号線を駆動するドライバ回路セルが全て下側に配置されており、奇数番目の信号線を駆動するドライバ回路セルが全て上側に配置されている(この構成については、後に詳述する)。但し、信号線駆動回路を上側又は下側のみに形成してもよいし、走査線駆動回路を左右に分削して形成してもよい。

【0058】本実施の形態では特に、以上のように構成されたガラスマスク330を用いてブロック領域毎に縮小投影露光を行際に、信号線駆動回路については、図4に示したガラスマスク330を介して、信号線毎に設けられた複数のドライバ回路セルがY方向に画面ピッチよりも小さい所定ピッチを持つように当該露光が行われる。また、走査線駆動回路については、図4に示したガラスマスク330を介して、走査線毎に設けられた複数のドライバ回路セルがY方向に画面ピッチよりも小さい所定ピッチを持つように当該露光が行われる。このようにして一のブロック領域における露光が完了する度に、図5において、ステッパー300によるステップ移動が行われて、露光用光源8-10に対してもマザーベース板4-9-0-0-0-0が相対的に移動され、他のブロック領域が繰り返し露光される。この繰り返しにより、図4に示した1枚のガラスマスク330を用いて、図6に示したようなプロック毎の露光を順次行うことが可能となる。

【0059】そして、電子形成工程においては、ドライエッジング、ウェットエッジング、フォトレジスト除去等により、露光されたフォトレジスト350を用いて前述の半導体膜、ポリシリコン膜、金属膜等の薄膜が、形成すべき電子に対応するパターンで、パターニングされる。これにより、複数の画面部及びドライバ回路セルを夫々構成するTFT、容皿、抵抗器等の回路素子が少なくとも部分的に形成される。以上により、例えば、第一層構造を有する抵抗等の回路素子や記録であれば完成し、また積層構造を有するTFT、容皿等の回路素子であれば、必要に応じて層間絶縁膜等やコンクタホールを形成しつつ、上記薄膜形成工程から電子形成工程までを電子の積層構造に応じて積層回行することにより、電子が完成する。

【0060】以上の結果、本実施の形態によれば、信号線駆動回路を構成する複数のドライバ回路セルは、各ブロック領域CXTL、CXTR等においてX方向の画面ピッチよりも小さいピッチで形成される。

【0061】すると、図6及び図7(a)において、各ブロック領域CXTL、CXTR、CXBL及FCXB-R各々の内部における境界近傍には、ドライバ回路セルを形成しない領域が発生することになる。好ましくは、ドライバ回路セルを各ブロック領域においてX方向につ

いての中央に寄せることにより、各ブロック領域CXTL、CXTR等の各々における左右両側の境界近傍で、ドライバ回路セルを形成しない領域が発生するよう努める。

【0062】従って、ドライバ回路セルを構成するTFT、容皿、抵抗器等の回路素子をブロック領域CXTL、CXTR等の境界、即ち露光境界を防ぐように形成する必要が無くなり、これらの回路素子に範囲部分を含ませないで済む。ここで一般的の場合、露光境界の範囲部分には、記録や素子の寸寸を防止するための2重露光に起因して、ペーパー寸法にバラツキが生じるが、本実施の形態の場合、このような範囲部分におけるパターン寸法のバラツキがこれらの回路素子の特性のバラツキとなって現われる露光を未然に防止できる。

【0063】以上の結果、性能が安定しており信頼性の高いドライバ回路セルから信号線駆動回路を構成できる。

【0064】他方、走査線駆動回路を構成する被覆のドライバ回路セルは、各ブロック領域CXTL、CYBLにおいてY方向の画面ピッチよりも小さいピッチで形成される。従って、信号線駆動回路の結合と同時に、各ブロック領域CXTL、CYTRの境界近傍には、ドライバ回路セルを形成しない領域が発生する。ドライバ回路セルを構成するTFT、容皿、抵抗器等の回路素子に範囲部分を含ませないで済む。この結果、性能が安定しており信頼性の高いドライバ回路セルから走査線駆動回路を構成できる。

【0065】これらに加えて、本実施の形態では、ステッパーを用いてブロック領域毎に露光を行うので、例えば、対角10インチやそれ以上の大型の露光光学装置であっても、ステッパーを用いて当該縮小投影露光を行うことが可能となる。即ち、ブロック領域の数を増加させれば、マザーベース板100'上で任意の大さのTFTアレイ基板100を露光することも可能となる。また、マザーベース板100'の大さきを大きくしてもよい。従って、ステッパーの有する利点である、露光素子や記録などを微細化し、大型の露光光学装置においても生きかすことができる、回路素子の高速化、記録の低電圧化、低消費電力化、高解像度化、装置全体の小型化等を図ることが可能である。

【0066】以上の結果、本実施の形態の製造方法によれば、ステッパー技術を利用して、被覆のドライバ回路セルから構成される信号線駆動回路及び走査線駆動回路を内蔵すると共に高性能且つ大型の露光光学装置を比較的効率良く且つコストで製造できる。

【0067】尚、本実施の形態では特に、図4に示したように、マザーベース板100'上に複数形成されるTFTアレイ基板100(図6参照)の各々を区別するための識別パターンの一例として、例えばアルファベットA、B、C、…や数字1、2、3、…からなるチップ名を印入

用パターンがガラスマスク 330 に形成されており、このガラスマスク 330 を用いて縮小投影露光を行うことにより、図 6 及び図 7 に示したように、各基板にチップ名識別バーティンを焼き付けることができる。特に A1、A2、…といった具合に、文字や数字を組み合わせてチップ名とすれば、同一マザーベース 100' 上に数十枚の TFT アレイ基板 100 を焼き付ける場合にも、各 TFT アレイ基板 100 に固有のチップ名を付けることが可能となる。従って、大型のマザーベースを用いてステッパーにより当該電気光学装置を大量生産する際に大変便利である。

【0068】(液晶装置の細部構成) 次に以上のように製造された液晶装置の細部構成について図 9 及び図 10 を参照して説明する。ここに、図 9 は、信号線駆動回路のドライバ回路セルを画面表示領域の上側にのみ形成した場合の信号線駆動回路及び画面素部の部分的な拡大平面図であり、図 10 は、信号線駆動回路のドライバ回路セルを画面表示領域の上下両側に分割形成した場合の信号線駆動回路及び画面素部の部分的な拡大平面図である。

【0069】先ず、図 9 を参照して、以上説明した製造方法により製造される液晶装置の細部構成の一例について説明する。

【0070】図 9において、信号線駆動回路 101a の複数のドライバ回路セル 200a は、信号線 41 通りに接続されている。各信号線 41 は、RGB のカラーフィルタが夫々設けられた各画面の TFT のソース又はドレインに接続されている。各ドライバ回路セル 200a は、X 方向に沿って並ぶ画像信号線 250a を介して入力されるデジタル画像信号を、該デジタル画像信号の示す階調に応じた駆動電圧を持つアナログ画像信号に変換して各信号線 41 に供給するよう構成されている。

【0071】ここで本実施の形態では特に、ドライバ回路セル 200a の形成ビッチは、X 方向についての面倒ビッチよりも、例えば強ペーセント程度小さく設定されているので、各ブロック領域内において中央側の大部分が電子形成領域 210 とされると共に、各ブロック領域の境界近傍が配線専用領域 220 とされる。そして、面倒回路部における配線専用領域 220 には、ドライバ回路セル 200a は設けられることはなく、画像信号線 250a のみが設けられている。

【0072】即ち、本実施の形態では、投影露光により、画像信号線 250a は、各ブロック領域の境界を跨ぐ縦目部分を含むように形成されている。画像信号線 250a は金属膜や導電性ポリシリコン膜等からなり、基本的に電気信号を伝達するという单纯機能を果たす以外で、断線やリヤークをさなければ、この縦目部分における薄膜部分のバランシキによる抵抗や容量変化が問題となることは実用上殆ど又は全くない。そして、画像信号線 250a が露光境界(ブロック領域の境界)を跨つて X 方向に並びることにより、複数のブロック領域に時

る複数のドライバ回路セル 200a 間を電気的接続である。同様に、画面部において、金属膜や導電性ポリシリコン膜等から構成される信号線 41 や走査線 42 についても、露光境界では、縦目部分を介して接続されず、画面部の TFT 30 が縦目部分を含むことはない。この結果、当該電気光学装置を一つの装置として機能させられる。

【0073】そして、このように記録専用領域 220 において、TFT、容倉、抵抗器等の回路因子に縦目部分を含めないとすることで、縦目部分における薄膜部分のバランシキがこれらの素子の特性のバランシキとなって現われる事態を確実に未然に防止できるのである。

【0074】また本実施の形態では特に、図 8 に示すように、記録専用領域 220 において、上述の投影露光により画像信号線 250a の縦目部分が幅広に形成されている。従って、ブロック領域に対する曝光が界隈に沿つて多少ずれても、この幅広の縦目部分の広さに応じて縦目部分における電気的接続を良好にとることができる。他方、前述のように露光境界に直交する方向については、従来通りに、両方の露光領域を並ねる(即ち、2 直角回転)ことにより、画像信号線 250a の縦目部分が形成されている。従って、ステッパーにおける品質の歪精度が多少低くとも、画像信号線 250a の電気的接続が良好にとれる限りは問題は生じないので、直角に大きな有利である。また、ブロック領域の境界における信号線 41 や走査線 42 の縦目部分についても同様に幅広に且つ直角により形成されている。

【0075】また図 9 に示すように、本実施の形態では特に、前述の等倍投影露光により、画面表示領域内外の境界に、信号線 41 のピッチを画面ピッチからドライバ回路セル 200a の形成ピッチに変換する記録ピッチ変換部 230 が形成されている。このため、画面ピッチとドライバ回路セル 200a の形成ピッチとが相違になっていても、両者間の電気的接続を画面ピッチ変換部により良好にとることができる。

【0076】尚、本実施の形態では詳しくは、信号線駆動回路 101a を構成するスイッチング回路、走査線駆動回路を構成するスイッチング回路及び画面部を駆動するスイッチング素子を、同一構成を持つ直通トランジスタから構成する。このようすだが、同一の TFT アレイ基板 100 上に同一製造工程で駆動回路及び画面部を形成できるので、製造上有利である。

【0077】次に、図 10 を参照して、以上説明した製造方法により製造される液晶装置の細部構成の他の例について説明する。

【0078】図 10において、信号線駆動回路 101b 及び 101b' は、画面表示領域の上下に分割して設けられており、上側の信号線駆動回路 101b を構成するドライバ回路セル 200b は、奇数番目の信号線 41 に夫々接続されており、下側の信号線駆動回路 101b'

を構成するドライバ回路セル200b'は、偶数番目の信号線41に夫々接続されている。各々の信号線41は、RGBのカラーフィルタが設けられた各画素のTFTのソース又はドレインに接続されている。各ドライバ回路セル200b、200b'は、図9に示した例の場合と同様に、画素信号線250aを介して入力されるデジタル画像信号を、該デジタル画像信号の示す階調に応じた駆動電圧を持つアナログ画像信号に変換して各信号線41に供給するよう構成されている。

【0079】ここで、本実施の形態では特に、ドライバ回路セル200b、200b'の形成ピッチは、画素ピッチよりも、例えば数パーセント程度小さい。より具体的には、片側のドライバ回路セル200b又は200b'の形成ピッチは大きく、画素ピッチの2倍よりも数パーセント程度小さい。(即ち、画素ピッチDpとドライバ回路セル200b又は200b'の形成ピッチDdとは、 $Dd < 2 \cdot Dp$ という関係が成立している)ので、各ブロック領域内において中央側の大部分が画素形成領域210とされると共に、各ブロック領域の境界近傍が記録専用領域220とされる。そして、駆動回路部における記録専用領域220には、ドライバ回路セル200b、200b'は設けられることはなく、X方向に延びる画像信号線250bのみが設けられている。

【0080】即ち、本実施の形態では図9に示した例の場合と同様に、ドライバ回路セル200b、200b'や画素部を構成する回路電子に框目部分を含ませないで済むので、框目部分における薄膜部分のバランシングがこれらの回路電子の特性のバランシングとなって現われる結果を確実に自然に防ぐできる。

【0081】これに加えて図10に示した例では、上下に分割された各信号線駆動回路101b、101b'が相互に入り組んで配置されることにより、全体としてコンパクトな構成となっている。即ち、信号線駆動回路101b、101b'を分割したことにより、各信号線駆動回路を構成する電子の数が $1/2$ となり、一つにまとめてこれら二つの回路を交互に形成する場合と比較して、各回路による占有面積が夫々減り、各回路について余裕を持った電子の配置や配線が可能となる。特に中央に画像表示領域があると共にその上下に周辺領域がある液晶パネル等の電気光学パネルに対する、当該上下の周辺領域にバランス良く余裕を持った電子の配置や配線が可能となる。また、このように分割することは、回路の均等配置を可能からしめるものであり、TFTアレイ基板上におけるデッドスペースの有効利用を図れる。例えば、液晶パネルの場合、前述のシール材之下にあらうデッドスペースを活用できる(図2及び図3参照)。即ち、シール材は、基板に余分な応力を与えないように基板の周間に均等の幅で接するように設けられているので、回路を分割して各回路の電子数を低減して、各回路をシール材之下の領域の形状に合わせて均等に配置すればよい。そし

て、この種の液晶パネルのように画面ピッチにより走査線に沿った一方向についての回路電子のピッチが特に制約を受ける場合には、本実施の形態は有効である。又、信号線駆動回路が合心シフトレジスタ回路(図1参照)の段数が、図9に示した例の場合と比較して半分になるため、動作周波数も $1/2$ になり、回路設計上有利である。

【0082】尚、本実施の形態において、ドライバ回路セル200b、200b'を構成するDAコンバータとしては、前述のようにSC-DAC(Switched Capacitor or -Digital to Analog Converter)回路が好適しい。このように構成すれば、SC-DAC回路を構成する、例えば電極やTFT等の電子は、光電界における複数部を含まないため、框目部分のバランシングに影響されない。特に、基板上に作り込まれる容積におけるバランシングを低減することはSC-DAC回路の出力電圧の範囲を向上するのに役立つので、上述した本実施の形態の効果が顕著に發揮される。この点より、デジタル画像信号を高精度でアナログ画像信号に変換でき、このアナログ画像信号を用いて画素部を駆動することにより、高品位の画圖表示等を実現できる。尚、SC-DAC回路以外のDACコンバータを用いて信号線駆動回路を構成しても、上述した本実施の形態の効果は発揮される。また、本実施の形態では、縮小投影について説明を省いているが、縮小投影に限らず、倍倍投影についても同様な構成及び効果が得られるることは言うまでもない。

【0083】以上のように本実施の形態の液晶装置によれば、上述した製造方法により製造されるため、駆動回路を内蔵した液晶装置において、大型化を図りつつ性能を高めることができるとなる。

【0084】

【発明の効果】以上詳細に説明したように本発明によれば、ステッパー技術を利活用して、複数の第1方向駆動回路セルから構成される駆動回路を内蔵すると共に高精度且つ大型の電気光学装置を比較的効率良く且つ低コストで製造できる。

【回路の簡単な説明】

【図1】本発明による液晶装置の実体の形態における全体構成を示すブロック図である。

【図2】液晶装置の実体の形態における全体構成を示す平面図である。

【図3】図2のH-H'断面図である。

【図4】本発明による製造方法の実体の形態におけるスティッパー用に用いられるガラスマスクのセルの記載図である。

【図5】製造方法の実体の形態における、スティッパーを使用した投影乾燥工程の概要図である。

【図6】図5のスティッパーにより図4に対応してマザーベース板上に焼き付けられるセルの記載図である。

【図7】マザーベース板から切り離した1個の液晶装置に對

応する1個のTFTアレイ基板におけるセルの配線図(図7(a))及び、図7(a)のTFTアレイ基板から構成される液晶装置の平面図(図7(b))である。

【図8】本発明による液晶装置の細部構成の一例を示す部分拡大平面図である。

【図9】本発明による液晶装置の細部構成の他の例を示す部分拡大平面図である。

【符号の説明】

1 0…シフトレジスタ回路

2 0…対向基板

3 0…TFT

4 0…画素電極

4 1…信号線

4 2…走査線

1 0 0…TFTアレイ基板

1 0 0'…マザーベース

1 0 1…信号線駆動回路

1 0 2…走査線駆動回路

2 0 0…ドライバ回路セル

2 1 0…電子形成領域

2 2 0…配線専用領域

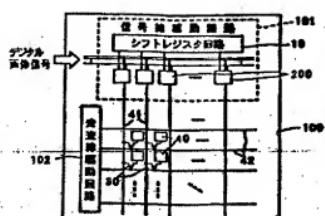
2 3 0…配線ピッチ交換領域

3 0 0…ステッパー

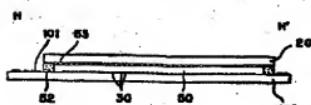
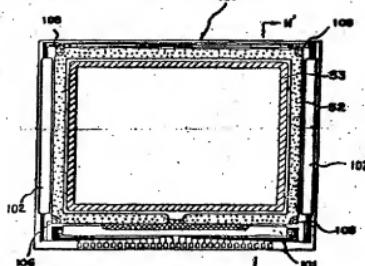
3 1 0…露光用光罩

3 3 0…ガラスマスク

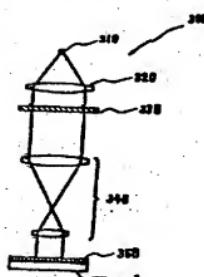
【図1】



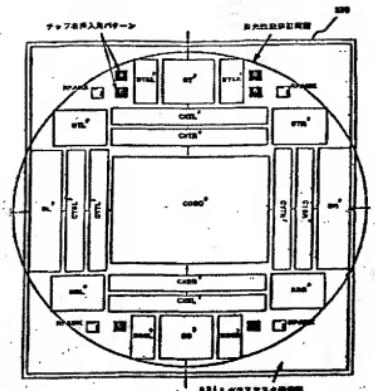
【図2】



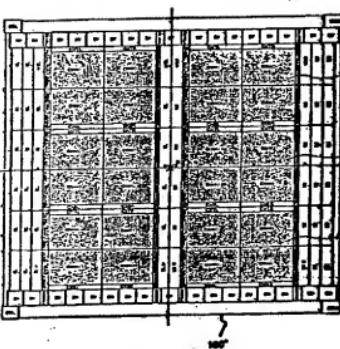
【図5】



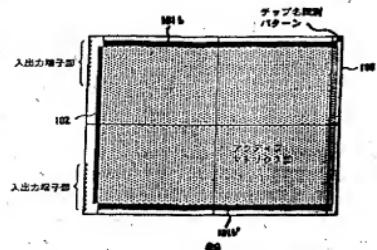
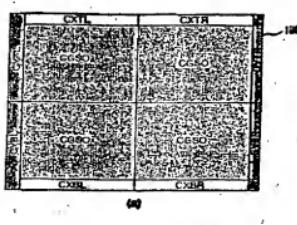
【図4】



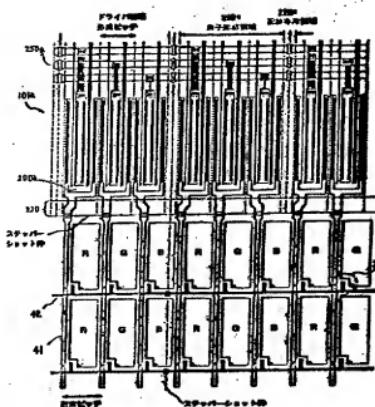
【図6】



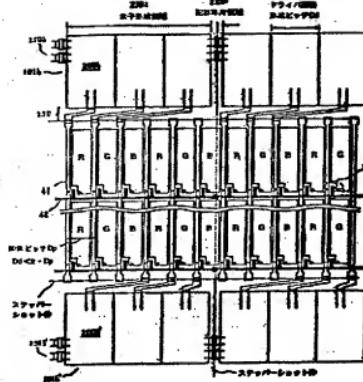
【図7】



【図8】



[図9]



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.